

Tema: **ELEMENTO DE ROTEAMENTO TOLERANTE A DEFEITOS PARA FPGAS COM MEMÓRIA PROGRAMÁVEL NÃO VOLÁTIL BASEADA EM MEMRISTORES**

CONTEXTO E MOTIVAÇÃO

Field-Programmable Gate Arrays (FPGAs) são dispositivos compostos de elementos de lógica, memória e roteamento que podem ser programados para reproduzir o funcionamento exato de um circuito arbitrário. O estado da arte em memória de programação em FPGAs são células de memória estática de acesso randômico (SRAM). Além de ser uma memória volátil, que exige que o dispositivo seja reprogramado quando reiniciado, o roteamento pode chegar a contribuir para mais da metade da área e latência de circuitos implementados em um FPGA.¹

O uso de memristores como alternativa apresenta duas vantagens: a primeira é que já existem tecnologias de memórias não voláteis baseadas em memristores; e a segunda é que o processo de fabricação é compatível com dispositivos MOS e memristores não compartilham o mesmo espaço no substrato, podendo ser implementados entre as linhas de metal de interconexão. A contrapartida é que o processo de fabricação não está maduro o suficiente na indústria, e memristores são mais suscetíveis a defeitos, que quando presentes na memória de configuração se traduzem a erros críticos nos designs apresentados, podendo facilmente levar a inviabilização do circuito.

OBJETIVO

O objetivo desse trabalho é apresentar uma nova arquitetura de elementos de roteamento para FPGA que é, além de não volátil, mais eficiente em relação à área ocupada pelo estado da arte, baseado em transistores, e robusta o suficiente para suportar taxas de defeitos similares a comerciais sem comprometer a utilidade do dispositivo, permitindo que circuitos complexos com alta taxa de utilização de blocos de lógica e memória ainda consigam ser implementados.

ARQUITETURA

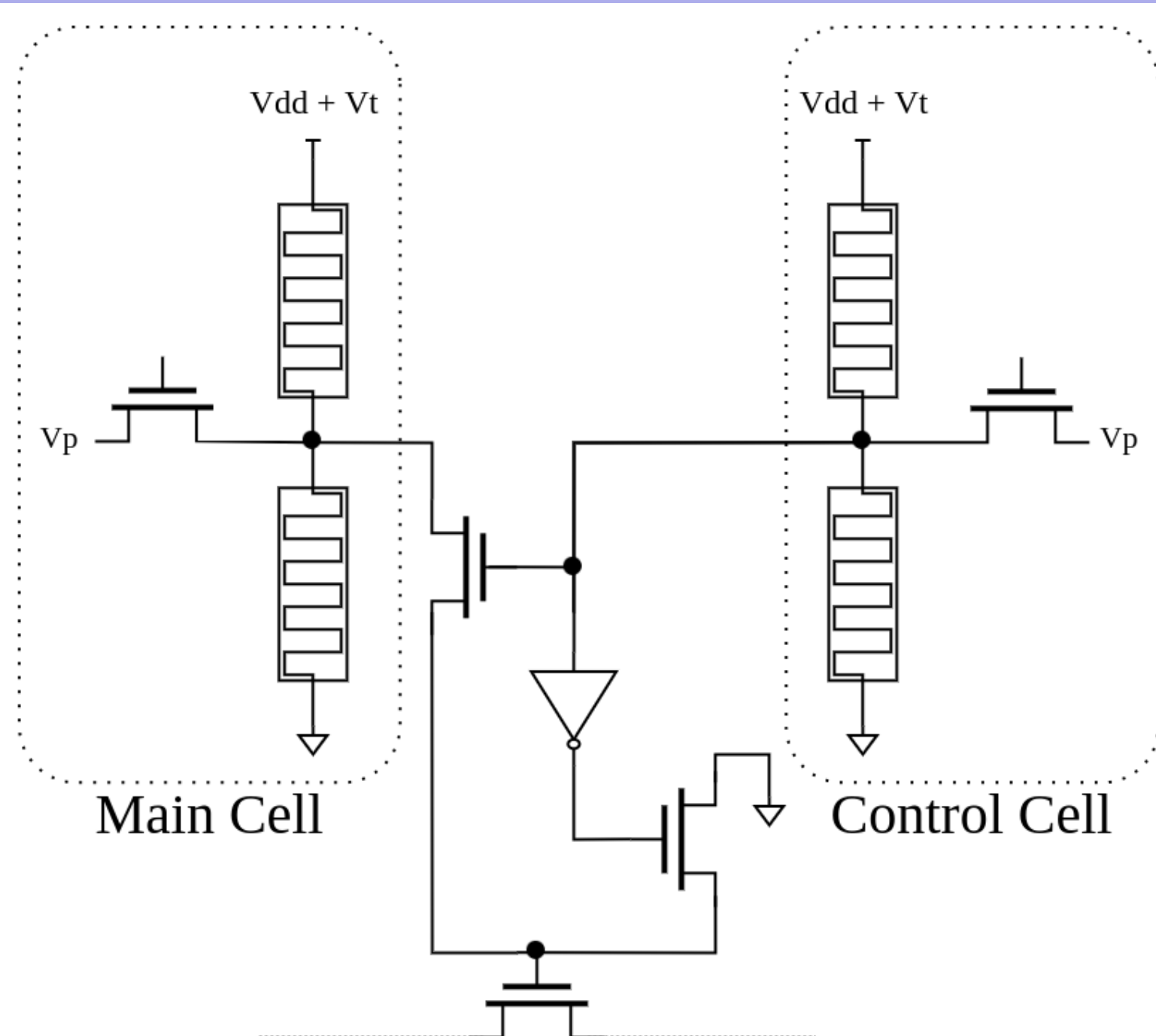


Figura 1 – Célula “proto-eleitor” com 4 memristores e 6 transistores.

A célula de memória não volátil tomada como base é a 2T2R, onde 2 memristores atuam como um divisor de tensão. Na arquitetura proposta, duas células 2T2R controlam um único transistor de passagem (chave de roteamento). No arranjo,

chamado de “proto-eleitor” a célula de controle decide se o transistor de passagem se conecta à célula principal ou ao terra. Dessa forma, se a célula principal falhar, o controle desabilita a chave de roteamento ligando-a ao terra, e evita que um erro prejudicial ao roteamento seja propagado para os multiplexadores utilizados na arquitetura da FPGA.

RESULTADOS

Com a ajuda de um módulo desenvolvido em Python e a ferramenta Verilog-to-Routing², o comportamento da célula “proto-eleitor” foi implementado e simulado em arquiteturas de FPGA que continham blocos lógicos, slices de memória, multiplicadores dedicados e blocos de processamento digital de sinais (PSD). As arquiteturas modificadas com a célula proposta implementaram circuitos de 3 benchmarks: MCNC20, VTR e Koios. Cada circuito foi implementado múltiplas vezes, com taxas de erros crescente exponencialmente. Resultados mostram que para FPGAs com uma malha de 30x30 blocos e o benchmark do VTR a arquitetura proposta suporta até três vezes mais taxa de defeito do que a célula resistiva comercial para permitir que pelo menos o menor circuito seja implementado com sucesso.

Apesar da célula proposta contar com o mesmo número de transistores que uma célula SRAM, ela conta com um transistor do tipo NMOS a mais, no lugar de um PMOS, apresentando uma melhoria de área de 14,3%, aproximadamente. Além disso, o roteamento é ligeiramente mais rápido devido a gate-boosting pelos memristores

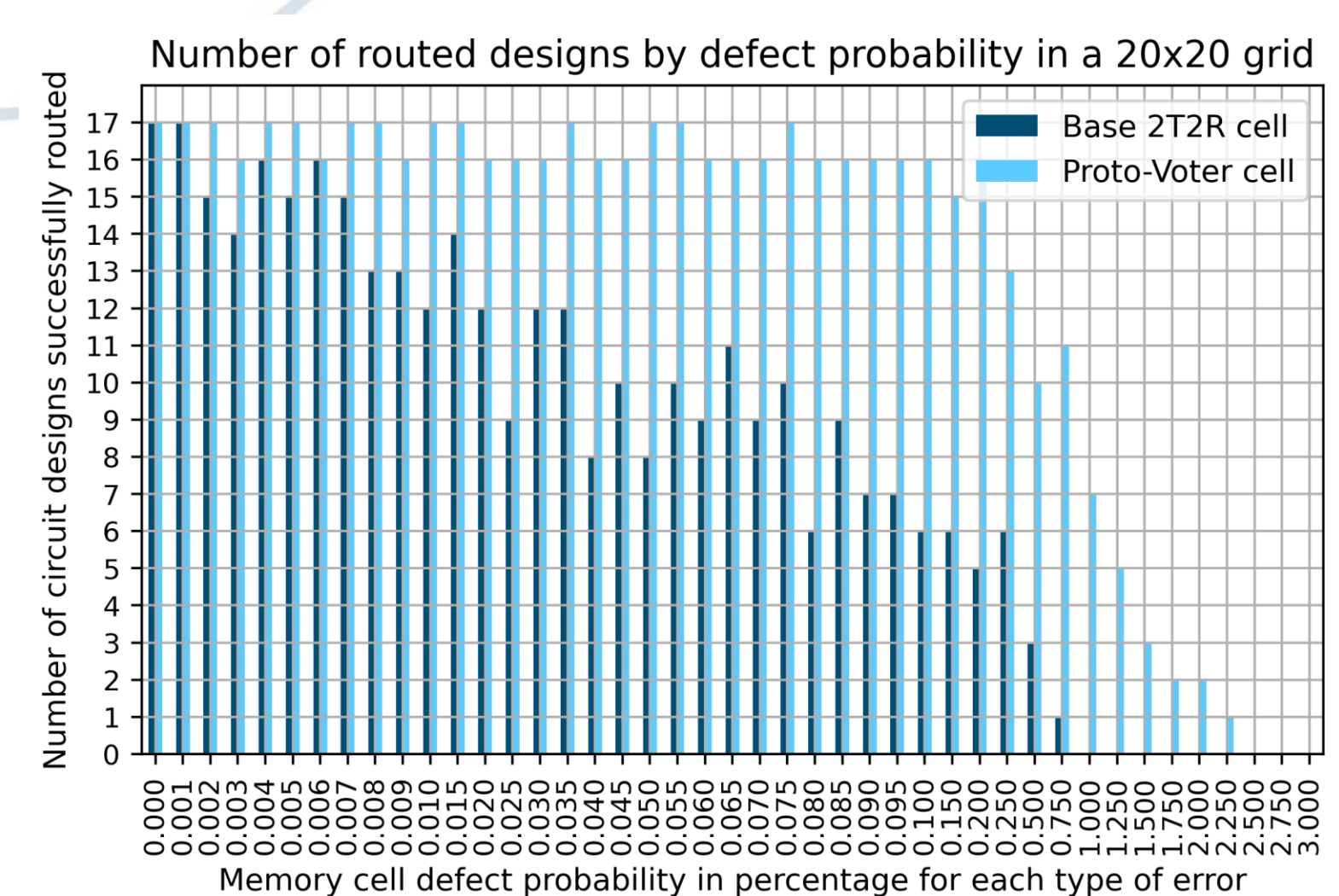


Figura 2 – Circuitos implementados por taxa de erro em uma malha de 20x20 blocos

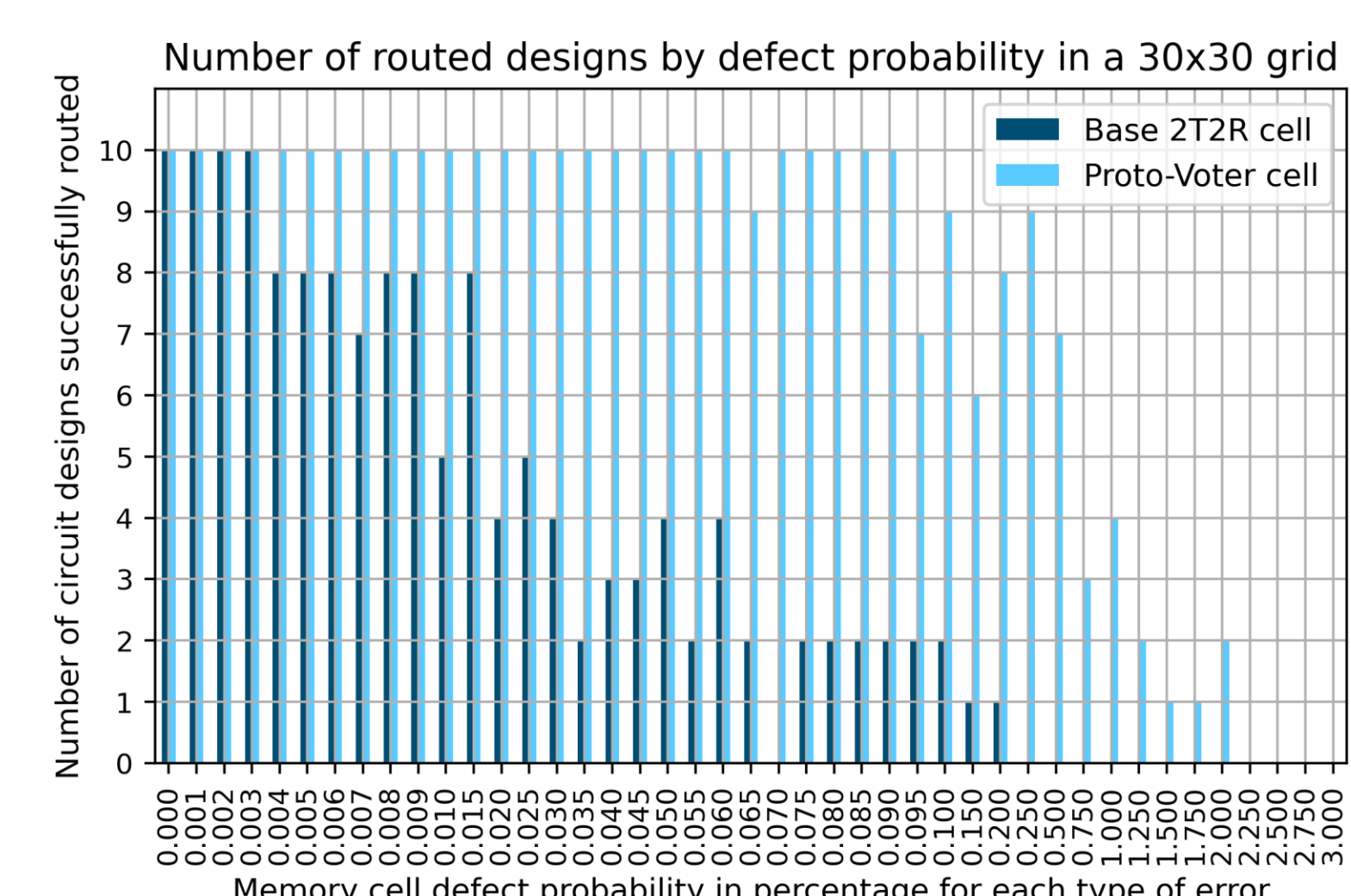


Figura 3 – Circuitos implementados por taxa de erro em uma malha de 30x30 blocos

REFERÊNCIAS

- [1] C. Chiasson and V. Betz, "Should FPGAs abandon the pass-gate?," 2013 23rd International Conference on Field programmable Logic and Applications, 2013, pp. 1-8, doi: 10.1109/FPL.2013.6645511.
- [2] Murray, O. Petelin, et al. "VTR 8: High Performance CAD and Customizable FPGA Architecture Modelling", ACM TRET, 2020