



**Projeto de Formatura – 2021 – Press Release**  
**PCS - Departamento de Engenharia de Computação  
e Sistemas Digitais**

**Engenharia Elétrica – Ênfase Computação**

**Tema:** Sistema de suporte ao desenvolvimento de projetos VHDL

---

## **Estudantes da USP desenvolvem sistema para auxiliar no ensino de computação na graduação**

*São Paulo, 8 de dezembro de 2021*

Os alunos Bernardo Marcelino do Nascimento e Felipe Hiroyuki Tabuti Sibuya desenvolveram como Trabalho de Conclusão de Curso para o curso de Engenharia Elétrica com ênfase em Computação, orientados pelo Prof. Dr. Wilson Vicente Ruggiero, um sistema para auxiliar no ensino das disciplinas iniciais de computação.

Nos cursos de computação há disciplinas onde são ensinados tópicos que são a base do ensino de computação, como Sistemas Digitais e Organização e Arquitetura de Computadores. Nessas disciplinas os alunos aprendem sobre lógica computacional e como são projetados os circuitos lógicos que formam os computadores que utilizamos todos os dias. O projeto de circuitos lógicos é feito através de HDLs (*Hardware Description Languages*, ou Linguagens de Descrição de *Hardware*), que são linguagens que definem o comportamento dos circuitos lógicos. Por meio delas é possível simular o comportamento de componentes de *hardware* sem que seja necessário construir o circuito fisicamente, permitindo validar o projeto de forma rápida e com baixo custo.

No entanto, as ferramentas que permitem trabalhar com HDLs atualmente são aquelas utilizadas na indústria, que em sua maioria são complexas e pesadas, o que age como uma barreira no aprendizado dos alunos que estão entrando em contato pela primeira vez com essas linguagens. Desta maneira, o projeto desenvolvido pretende facilitar o processo de testes e depuração, que é um ponto crítico no aprendizado e complexo de ser feito com as ferramentas tradicionais. Ao utilizar uma interface *web* simples, não necessitar a instalação de programas no computador e consolidar diversas ferramentas em um único projeto, o aluno consegue desenvolver circuitos lógicos, testá-los e visualizar os resultados da simulação de forma mais simples e rápida, ajudando o aluno a encontrar e corrigir possíveis erros no desenvolvimento e aplicar os conceitos teóricos em seus projetos práticos de forma mais efetiva.

Além dos recursos para os alunos, a ferramenta desenvolvida apresenta recursos para os professores, que podem propor exercícios e acompanhar o desempenho da turma, bem como realizar correções de código automáticas e realizar verificação de plágio das submissões dos alunos. Inicialmente o projeto foi elaborado para somente analisar códigos na linguagem VHDL, tendo em vista que esta é a mais utilizada nos cursos de graduação da Escola Politécnica, sendo o público principal do projeto. Ainda assim, a arquitetura do projeto foi elaborada de forma a ser adaptável para outras necessidades além do público da Escola Politécnica, permitindo adicionar facilmente outras HDLs, novas funcionalidades e outros algoritmos de análise de plágio, por exemplo.

---

**Integrantes:** Bernardo Marcelino do Nascimento  
Felipe Hiroyuki Tabuti Sibuya

**Professor(a) Orientador(a):** Prof. Dr. Wilson Vicente Ruggiero

---