



Projeto de Formatura – Turmas 2018 – Press Release

PCS - Departamento de Engenharia de Computação e Sistemas Digitais

Engenharia Elétrica – Ênfase Computação

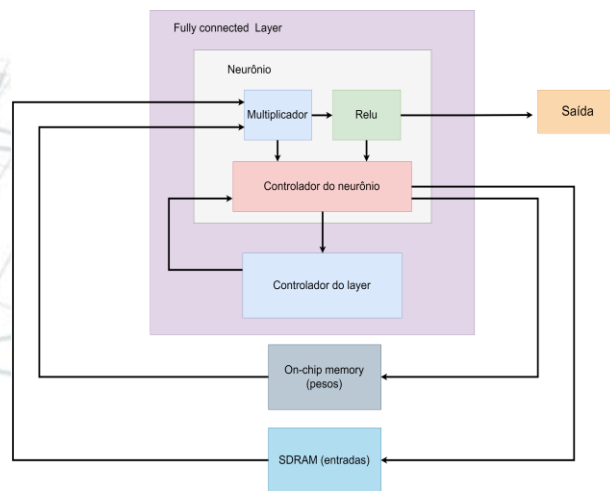
Tema:

Implementação de rede neural convolucional em FPGA para classificação de imagem

O projeto de redes neurais em FPGA é o trabalho de conclusão de curso desenvolvido pelos estudantes Christian Miyoshi e Jean Canteneur do curso Engenharia Elétrica com ênfase em Computação da Escola Politécnica da Universidade de São Paulo sob orientação do Prof^o Dr^o Edson Gomi e co-orientação do Prof^o Dr^o Bruno Albertini.

O objetivo do projeto foi desenvolver um hardware que possa fazer reconhecimento de padrões e classificação de imagens. O hardware alvo é um FPGA, que consiste em um chip com grande poder de reconfiguração que pode ser programado no nível de portas lógicas. É uma plataforma muito eficiente para o processamento paralelizável e que exige grande velocidade.

A camada mais utilizada em redes neurais artificiais é a totalmente conectada (fully connected layer). No projeto, a função de adição, multiplicação e função de ativação relu foram inseridas na entidade do neurônio. Esta unidade é comandada pelo controlador do neurônio, que envia os endereços dos pesos e das entradas para as unidades de memória. O início e término do cálculo são determinados pelo controlador da camada totalmente conectada e este recebe os sinais de um controlador principal externo. Para as camadas convolucionais e max-pooling, a arquitetura é similar de modo que elas podem ser reutilizadas para representar redes neurais com características diferentes.



Arquitetura da camada totalmente conectada

O kit de desenvolvimento utilizado é a placa DE1-SoC da Terasic que contém uma FPGA Cyclone V SoC. O hardware desenvolvido permite inserir os dados de uma rede treinada e fazer a classificação de imagens. A classificação da imagem é feita de acordo com o treinamento da rede neural e ele foi projetado de forma a ser adaptável a diversas estruturas de redes neurais artificiais. Portanto, os usuários do hardware são projetistas de produtos com redes neurais que necessitem de um hardware veloz para processar o algoritmo. A aplicação principal do produto é o processamento de imagens, mas tem potencial para ser estendido para trabalhar com outros tipos de redes neurais.

Integrantes: Christian Kazuyoshi Miyoshi
Jean René Joseph Canteneur

Professor Orientador: Edson Satoshi Gomi
Co-orientador: Bruno de Carvalho Albertini